

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-298461

(43) 公開日 平成9年(1997)11月18日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 L 7/08			H 0 3 L 7/08	M
H 0 3 K 3/03			H 0 3 K 3/03	
3/282			3/282	H

審査請求 未請求 請求項の数14 O L (全 21 頁)

(21) 出願番号 特願平8-113986

(22) 出願日 平成8年(1996)5月8日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 玉村 雅也

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 大石 昇治

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 弁理士 伊東 忠彦

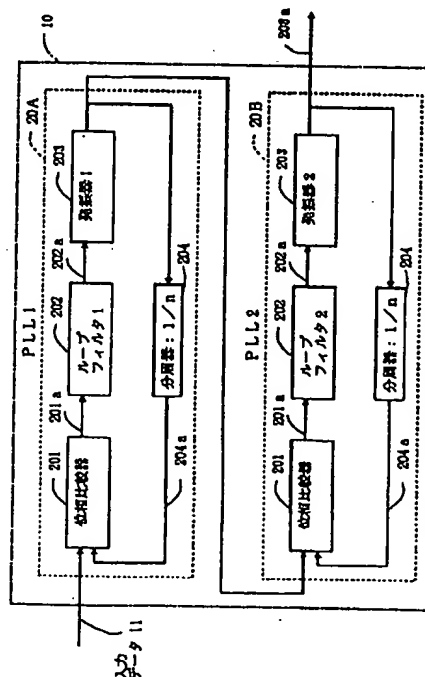
(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 通倍量、周囲環境温度、動作電源の変動、製造ばらつき等に影響されことなく、周波数の安定した発振出力を生成することができる半導体集積回路10を提供すること。

【解決手段】 単位回路20を複数段だけ直列に接続して構成された半導体集積回路10。または受信可能な最高のデータ受信レートMと変更されたデータ受信レートとを用いて生成された分周比nを用いて、データ受信レートM/nと同じ発信周波数の発振出力信号203aを生成する発振器203または受信可能な最高のデータ受信レートと同じ発信周波数の発振出力信号203aを生成する発振器203を設けた半導体集積回路30。

第1の発明の第1の実施形態のPLL装置を示す機能ブロック図



【発明の属する技術分野】本発明のPLL (Phase Locked Loop の略称) 装置は、入力データの周波数を n 通倍した発振出力を生成する半導体集積回路に関し、特に、発振周波数制御信号に応じて入力データの周波数を n 通倍した発振出力信号を生成する発振器と、発振出力信号を位相比較器に帰還させるフィードバックループと、フィードバックされた発振出力信号と入力データとの周波数を比較してその周波数差に応じた位相比較信号を生成する位相比較器と、位相比較信号を積分して発振周波数制御信号に変換するループフィルタとを有する単位回路を有する半導体集積回路に関する。

【0002】

【従来の技術】従来この種の半導体集積回路としては、例えば、図18に示すようなものがある。半導体集積回路9Aは、発振周波数制御信号2aに応じて入力データ1bの周波数を n 通倍した発振出力信号3aを生成する発振器3と、発振出力信号3aの周波数を $1/n$ (n は分周比、 $n=1, 2, 3, \dots$) に分周した分周信号4aを生成する分周器4と、分周信号4aと入力データ1bとの周波数を比較してその周波数差に応じた位相比較信号1aを生成する位相比較器1と、位相比較信号1aを積分して発振周波数制御信号2aに変換するループフィルタ2と、発振出力信号3aを分周した分周信号4aを分周器4を介して位相比較器1に帰還させるフィードバックループとから構成されていた。

【0003】また少なくとも発振器及び位相比較器がループ状に接続された単位回路と、前記発振器の出力信号に基づいて入力データ信号をリタイミングする回路とを有する半導体集積回路としては、例えば、図19に示すようなものがある。半導体集積回路9Cは、半導体集積回路9Aとタイミングリカバリ回路9Bとを組み合わせで構成されていた。

【0004】タイミングリカバリ回路9Bは、図19及び図20に示すように、入力データ1bのデータの変化を検出して検出パルス5aを生成するパルス生成手段5と、リタイミング動作を実行してリタイミングデータ6aを生成するリタイミング手段6と、検出パルス5aの中心に発振出力信号3aがくるように1, 2, 3, 4でフィードバックループとから構成されていた。

【0005】

【発明が解決しようとする課題】しかしながら、このような従来の半導体集積回路9Aでは、低周波の入力データ1bを通倍して、高周波の発振出力信号3aを生成する場合、通倍量が大いとなりPLL動作が不安定になり、その結果、周波数の安定した発振出力信号3aを生成することが難しいという問題点があった。例えば、周波数が1MHzの入力データ1bを100倍して、周波数が100MHzの発振出力信号3aを生成する場合を考えると、発振器3が100回動作している間に入力データ1bは1回しか位相比較器1に入力されないため、入力

データ1bと発振出力信号3aとの位相差を検出する回数が不十分となってPLL動作が不安定になり、その結果、発振器3における実際の発振周波数と入力データ1bの周波数を通倍した周波数との間の周波数ズレを十分に補正できなくなるという問題点があった。

【0006】また、従来の半導体集積回路9Cでは、発振出力信号3aの位相を入力データ1bの中心まで遅延させるための遅延データ7aが、周囲環境温度、動作電源の変動、製造ばらつき等の影響を受け易く、その結果、リカバリデータ6aがエラーするという問題点があった。

【0007】第1発明は、このような従来の問題点に着目してなされたもので、通倍量が大い場合であってもエラーのないリカバリデータを生成することができる半導体集積回路を提供することを目的としている。また第2発明は、周囲環境温度、動作電源の変動、製造ばらつき等に影響されることなく、発振出力の位相を入力データの中心まで安定に遅延させ、その結果、周波数の安定した発振出力を生成することができる半導体集積回路を提供することを目的としている。

【0008】

【課題を解決するための手段】請求項1に記載の発明は、少なくとも発振器、分周器、及び位相比較器がループ状に接続された単位回路が複数段直列に接続された半導体集積回路であって、後段の単位回路(20B)の発振出力信号(203a)の周波数は、前段の単位回路(20A)の発振出力信号(203a-1)の周波数(f_0)よりも高い、ことを特徴とする半導体集積回路(10)である。

【0009】このような構成により、通倍量が大い場合であっても周波数の安定した発振出力信号(203a)を生成することができる半導体集積回路(10)を実現できる。請求項2に記載の発明は、請求項1に記載の半導体集積回路(10)において、前記後段の単位回路(20B)に設けられたループフィルタ(202)は、前記前段の単位回路(20A)に設けられたループフィルタ(202)の発振周波数制御信号(202a)の制御量よりも大きな制御量の前記発振周波数制御信号(202a)を生成する、ことを特徴とする半導体集積回路(10)である。

【0010】このような発振周波数制御信号(202a)により、通倍量が大い場合であっても周波数の安定した発振出力信号(203a)を生成することができる半導体集積回路(10)を実現できる。請求項3に記載の発明は、請求項1に記載の半導体集積回路(10)において、前記後段の単位回路(20B)の発振器(203)は、前記前段の単位回路(20A)の発振器(203)における前記発振出力信号(203a)の周波数(f_0)の変動量よりも大きな周波数変動量を有する、ことを特徴とする半導体集積回路(10)である。

01)とマルチバイブレータ(302)とを発振器(203)に設けることにより、エラーのないリカバリデータを生成することができる半導体集積回路(30)を実現できる。請求項11に記載の発明は、請求項8に記載の半導体集積回路(30)において、前記発振器(203)は、複数のゲート段数切換スイッチ(304)が設けられたリング発振回路(305A)であって、前記各ゲート段数切換スイッチ(304)がON又はOFFを制御することで前記周波数 M/n [Hz]を前記リング発振回路(305A)を用いて得る、ことを特徴とする半導体集積回路(30)である。

【0021】このようなゲート段数切換スイッチ(304)とリング発振回路(305A)とを発振器(203)に設けることにより、エラーのないリカバリデータを生成することができる半導体集積回路(30)を実現できる。請求項12に記載の発明は、請求項8乃至11のいずれか一項に記載の半導体集積回路(30)において、前記入力データ(11)のデータの変化を検出して検出パルス(306a)を生成するパルス生成手段(306)と、前記入力データ(11)のデータの変化を検出して前記発振出力信号(203a)の立ち上がりエッジ又は立ち下がりエッジが前記検出パルス(306a)のパルス幅の中間付近に安定に位置させる際に、当該検出パルス(306a)のパルス幅の $1/2$ の時間幅($\Delta t/2$)だけ当該入力データ(11)を遅延させた遅延データ(307a)を生成する遅延手段(307)と、前記発振出力信号(203a)の逆位相の立ち上がりエッジ又は立ち下がりエッジで前記遅延データ(307a)に対してリタイミング動作を実行してリタイミングデータ(308a)を生成するリタイミング手段(308)とから成るクロックリカバリ回路(30A)、を有することを特徴とする半導体集積回路(30)である。

【0022】このようなクロックリカバリ回路(30A)を設けることにより、エラーのないリカバリデータを生成することができる半導体集積回路(30)を実現できる。請求項13に記載の発明は、請求項12又は13のいずれか一項に記載の半導体集積回路(30)において、請求項12に記載の前記検出パルス(306a)の時間幅の $1/2$ の時間幅を有する遅延時間は、前記入力データ(11)を前記検出パルス(306a)の時間幅(Δt)だけ遅延させたデータ及び当該入力データ(11)を論理合成して前記検出パルス(306a)を生成するとともに、前記リタイミングデータ(308a)の遅延時間を前記検出パルス(306a)の時間幅(Δt)の $1/2$ の時間幅($\Delta t/2$)に設定することにより生成される、ことを特徴とする半導体集積回路(30)である。

【0023】このように遅延時間を設定することにより、周囲環境温度、動作電源の変動、製造ばらつき等に

影響されることなく、発振出力信号(203a)の位相を入力データ(11)の中心まで安定に遅延させ、その結果、エラーのないリカバリデータを生成することができる半導体集積回路(30)を実現できる。

【0024】請求項14に記載の発明は、請求項12又は13のいずれか一項に記載の半導体集積回路(30)において、前記発振器(203)は、差動リング発振回路(305B)を用いて構成されていることを特徴とする半導体集積回路(30)である。

【0025】このような差動リング発振回路(305B)を用いた発振器(203)を設けることにより、周囲環境温度、動作電源の変動、製造ばらつき等に影響されることなく、エラーのないリカバリデータを生成することができる半導体集積回路(30)を実現できる。

【0026】

【発明の実施の形態】以下、図面に基づき第1発明の各種実施形態を説明する。図1は第1の発明の第1の実施形態の半導体集積回路を示す機能ブロック図である。図2は図1の半導体集積回路における発振周波数制御信号202aの制御量と発振出力信号203aの変動量変動量との関係を示すグラフである。図3(a)は図1の半導体集積回路におけるアイソレーション手段23、…、23を示す断面図であり、図3(b)はその平面図である。図4(a)は図3において更に発振器203をアイソレーション分離した単位回路20を示す断面図であり、図4(b)はその平面図である。

【0027】半導体集積回路10は、図1に示すように、複数段の単位回路20が直列に接続された半導体集積回路であって、後段の単位回路20B(図中PLL2)の発振出力信号203aは、前段の単位回路20Aの発振出力信号203aの周波数 f_0 よりも高い周波数の発振出力信号203aを生成するように接続されている。このように、単位回路20が複数段だけ直列に接続して半導体集積回路10を構成することにより、一度に高逡倍処理を行うことなく、複数回(則ち、単位回路20の段数)に分けた逡倍処理を行うことができるようになる。

【0028】各单位回路20(図中、PLL1、PLL2)は、図1に示すように、発振器203と分周器204と位相比較器201とループフィルタとフィードバックループとを有する。発振器203は発振周波数制御信号202aに応じて入力データ11の周波数 f_i を n 逡倍した発振出力信号203aを生成するように接続されている。各单位回路20、…、20に設けられ、前記発振出力信号203aを分周して入力信号と位相比較される信号を生成する分周器204は発振出力信号203aの周波数 f_0 [Hz]を $1/n$ ($n=1, 2, 3, \dots$)に分周した分周信号204aを生成するように接続されている。位相比較器201は分周信号204aと入力データ11との周波数 [Hz] を比較してその周波数差に

具体的には、図2のグラフにおいて、 $[\Delta V1 \text{ に対する } \Delta f1 \text{ の変化量}] < [\Delta V2 \text{ に対する } \Delta f2 \text{ の変化量}]$ となるように、後段の単位回路20Bの発振器203におけるゲインを前段の単位回路20Aの発振器203におけるゲインよりも大きくすることによって実現できる。

【0035】このように、 $[\Delta V1 \text{ に対する } \Delta f1 \text{ の変化量}] < [\Delta V2 \text{ に対する } \Delta f2 \text{ の変化量}]$ とする手段を設けることにより、逡倍量が大きい場合であっても周波数の安定した発振出力信号203aを生成することができる半導体集積回路10を実現できる。

【0036】本実施形態では、図3に示すように、複数の単位回路20、…、20を共通のLSI基板に作成して高集積化を図っている。しかしながら、高集積化に伴い、各単位回路20、…、20間の電磁気的な干渉を考慮する必要がある。そこで本実施形態では、図3

(a)、(b)に示すように、各単位回路20、…、20(具体的には、PLL1、PLL2)が形成された単位回路(具体的には、PLL1の領域、PLL2の領域)20間に、各単位回路を電気的に各々分離するためのアイソレーション手段23、…、23を各々設けている。

【0037】単位回路20(PLL1の領域、PLL2の領域)間に、各単位回路20を電気的に各々分離するためのアイソレーション手段23、…、23を各々設けることに加えて更に、図4(a)、(b)に示すように、各単位回路20内に設けられた発振器203の領域221、…、221をアイソレーション手段23、…、23を用いてアイソレーション分離することも可能である。

【0038】このようなアイソレーション手段23、…、23を各発振器203の周りに設けることにより、単位回路20間の電磁気的な干渉を更に低減することができ、その結果、周波数の更に安定した発振出力信号203aを生成することができる半導体集積回路10を実現できる。

【0039】次に、第1の発明の第2の実施形態を説明する。図5は図1の単位回路20毎に別個に設けられた、電源23A、23B及び接地24A、24Bを示すブロック図である。図6は第1の発明の第2の実施形態の半導体集積回路を示す正面図である。図7は図6の半導体集積回路における差動出力部回路205を示す回路図である。図8は図6の半導体集積回路における差動受信部回路206を示す回路図である。なお、第1の実施形態において既に記述したものと同一の部分については、同一符号を付し、重複した説明は省略する。

【0040】本実施形態では、単位回路20(PLL1の領域、PLL2の領域)間及び各単位回路20内に設けられた発振器203の領域221、…、221に電気的に各々分離するためのアイソレーション手段23、

…、23を各々設ける第1の実施形態に加えて、図5に示すように、単位回路20の各々に別個に独立した電源(各々電源電圧Vcc)23A、23Bを設けている。具体的には、単位回路20A(PLL1)には駆動電力を供給する電源23A及び接地24Aが接続されている。同様に、単位回路20B(PLL2)には駆動電力を供給する電源23B及び接地24Bが接続されている。電源23Aと電源23Bとは電気的に絶縁されている。同様に、接地24Aと接地24Bとは電気的に絶縁されている。

【0041】このように電源23A、23B及び接地24A、24Bを電気的に独立させることにより、単位回路20間の電磁気的な干渉を低減することができ、その結果、周波数の安定した発振出力信号203aを生成することができる半導体集積回路10を実現できる。

【0042】本実施形態では、単位回路20の各々に別個に独立した電源23A、23Bを設けているため、図6及び図7に示すように、各単位回路20、…、20の入出力信号を差動信号に変換している。このような差動形式の入出力信号を生成するために、各単位回路20、…、20内に差動出力部回路205と差動受信部回路206とを設けている。これらの単位回路20、…、20は、図6に示すように、前段の単位回路20A(図中PLL1)の差動形式の発振出力信号203aである差動発振出力信号205aが、後段の単位回路20B(図中PLL2)の差動形式の入力として入力されるように直列に接続されて半導体集積回路10を構成している。

【0043】単位回路20Bにおける差動受信部回路206は、図8に示すように、位相比較器201の入力に接続され、前段の単位回路20Aに設けられた差動出力部回路205からの差動発振出力信号205aを受けて差動形式の入力に変換するとともに、この差動形式の入力を位相比較器201に出力するように接続されている。また、差動出力部回路205は、発振器203の出力に接続され、発振出力信号203aを差動信号に変換して差動発振出力信号205aを生成するとともに、差動発振出力信号205aを発振出力信号203aに代えて次段(後段)の単位回路20に出力するように接続されている。

【0044】本実施形態では単位回路20A(具体的には、図6中のPLL1)と単位回路20B(具体的には、図6中のPLL2)を直列に接続して半導体集積回路10を構成しており、その場合、単位回路20A(PLL1)における差動受信部回路206は省略され、入力データ11は位相比較器201に入力されるように接続されている。また単位回路20A(PLL1)に設けられた差動出力部回路205は、図7に示すような差動変換回路として発振器203に組み込まれ、発振出力信号203aを差動信号に変換して差動発振出力信号205aを生成するとともに、差動発振出力信号205aを

15

号の周波数 f_2 [Hz] を分周比 n で割り算した値よりも入力データ11の周波数 f_1 [Hz] が小さくなるように(則ち、 $f_1 < f_2 / n$ となるように)、分周器204における分周比 n を設定している。

【0053】このように分周比 n を設定することにより、発振器203の発振出力信号203aの周波数 f_2 [Hz] を入力データ11の周波数 f_1 [Hz] めで分周することなく位相比較器201にフィードバックさせることが可能となり、その結果、通信量が大きい場合であっても周波数の安定した発振出力信号203aを生成することができる半導体集積回路10を実現できる。

【0054】以上説明したように第1発明の各実施形態によれば、通信量が大きい場合であっても周波数の安定した発振出力信号203aを生成することができる半導体集積回路10することができる。次に、第2発明を説明する。

【0055】少なくとも発振器及び位相比較器がループ状に接続された単位回路と、前記発振器の出力信号に基づいて入力データ信号をリタイミングする回路とを有し、クロックに同期した入力データ11(則ち、規則性を有する入力データ11)に代えて、通信のデータ伝送ランダムに発生する入力データ11(則ち、不規則性を有する通信の伝送データ)を用いて、PLL動作を行うとした場合、PLL制御に用いる情報量がクロック同期の場合よりも少ないため、クロックに同期用の半導体集積回路をそのまま用いたのではPLL動作が不安定になる可能性がある。このようなランダムに発生する入力データ11に対しても安定なPLL動作を行うことができるのが半導体集積回路30である。

【0056】そこで、第2の発明の半導体集積回路30は、クロックに同期した入力データ11(則ち、規則性を有する入力データ11)に代えて、ランダムに発生する伝送データを受信することができるように、ランダムに発生する入力データ11に対して安定なPLL動作を行うリタイミング手段308を有する半導体集積回路であって、図10に示すように、発振周波数制御信号202aに応じて入力データ11の周波数 f_i を n 倍した発振出力信号203aを生成する発振器203と、発振出力信号203aと入力データ11との周波数[Hz]を比較してその周波数差に応じた位相比較信号201aを生成する位相比較器201と、位相比較信号201aを積分して発振周波数制御信号202aに変換するループフィルタ202と、発振出力信号203aを位相比較器201に帰還させるフィードバックループとを有する。

【0057】以下、図面に基づき第2発明の各種実施形態を説明する。図10は第2の発明の第1の実施形態の半導体集積回路30を示す機能ブロック図である。図11は図10の半導体集積回路に設けられた発振器203のを示す回路図である。なお、第1発明の各種実施形態

16

において既に記述したものと同一の部分については、同一符号を付し、重複した説明は省略する。

【0058】第2の発明の半導体集積回路30(図10参照)は、入力データ(11)を受信するためのデータ受信レート M [bps] が M/n ($n=1, 2, 3, \dots$)と変化する場合には、変化後のデータ受信レート M/n [bps] に対応した周波数 f_0 (則ち、 $f_0 = M/n$) [Hz] の発振出力信号203aを生成する発振器203を有する。このようにして生成された発振出力信号203aは、図10に示すように、分周器を経由することなくフィードバックループを介して、位相比較器201に直接帰還させることが可能となり、その結果、エラーのないリカバリデータを生成することができる半導体集積回路30を実現できる。

【0059】また、データ受信レート M/n [bps] と同じ周波数 f_0 (則ち、 $f_0 = M$ に固定) [Hz] の発振出力信号203aを生成する発振器203に代えて、入力データ11を受信するためのデータ受信レートに関わらず、受信可能な最高のデータ受信レート M [bps] に対応した周波数 M [Hz] に固定されて発振する発振器203を用いることも可能である。

【0060】このようにして生成された発振出力信号203aは、図10に示すように、分周器を経由することなくフィードバックループを介して、位相比較器201に直接帰還させることが可能となり、その結果、エラーのないリカバリデータを生成することができる半導体集積回路30を実現できる。

【0061】また本実施形態の発振器203は、図11に示すように、複数の電流スイッチ301, ..., 301と、各電流スイッチ301, ..., 301(具体的には、図中 S_1, S_2, S_3, S_4)に接続され各電流スイッチ301, ..., 301のON又はOFFに応じて発振出力信号の周波数 f_0 を制御するマルチバイブレータ302とを有し、受信可能な最高のデータ受信レート M [bps] とデータ受信レート M/n [bps] とを用いて生成された分周比 n に応じて各電流スイッチ301, ..., 301がON又はOFF制御されることにより、データ受信レート M/n [bps] と同じ発信周波数 M/n [Hz] を有する発振出力信号203aをマルチバイブレータ302(具体的には、電圧制御型のエミッタ結合マルチバイブレータ302)を用いて生成するように接続されている。図11に示す電圧制御型のエミッタ結合マルチバイブレータ302の回路構成は図7の発振器203に組み込まれたマルチバイブレータ205とほぼ同一なので、回路構成については同一符号を付し、回路構成とその発振動作についての説明は省略する。

【0062】図11における各電流スイッチ301, ..., 301は、トランジスタ Q_{21}, Q_{22}, Q_{29} と抵抗 R_{11} とで構成される電流スイッチ回路、トランジスタ Q_{23}, Q_{24}, Q_{30} と抵抗 R_{12} とで構成される電流スイッチ

を変更した場合に電流 $2I$ が変更されるため、この振幅電圧($=2I \times RL$)も変更されてしまい、線形出力を得るためには別途線形化手段を設ける必要がある。

【0072】本実施形態の発振器203に設けられたマルチバイブレータ302(具体的には、電圧制御型のエミッタ結合マルチバイブレータ)は、図12に示すような線形化手段310(具体的には、定電流化を行う手段)を設けている。これにより、外部から入力される制御電圧303に変更があった場合であっても、電流 $2I$ を定電流化することができ、発振出力信号203aの振幅電圧を線形に制御することが可能となる。

【0073】具体的な線形化手段310は、トランジスタQ36、Q37、Q38と抵抗R15、R16、R18とで構成された差動型の定電流回路である。トランジスタQ36はそのベースによってトランジスタQ3のコレクタ電圧を検出して動作状態となり、同様に、トランジスタQ37はそのベースによってトランジスタQ4のコレクタ電圧を検出して動作状態となる。トランジスタQ38と抵抗R18によって構成される回路は、トランジスタQ38またはQ39のベースに一定の電圧ベース電圧 V_{cs} を印加するように制御することによって、抵抗R15またはR16に定電流を供給するための定電流源として機能する。この定電流と抵抗R15またはR16で再生された一定電圧は、トランジスタQ33、Q34をコレクタ側の負荷トランジスタとするトランジスタQ35、Q39で構成される差動増幅回路によって差動増幅され、その差動出力は各々トランジスタQ3、Q4に入力される。則ち、定電流と抵抗R15またはR16で再生された一定電圧による差動出力を、トランジスタQ3、Q4に各々入力することによって、電流 $2I$ を定電流化することができ、発振出力信号203aの振幅電圧を線形に制御することが可能となる。

【0074】このようなマルチバイブレータ302を発振器203に設けることにより、その結果、エラーのないリカバリデータを生成することができる半導体集積回路30を実現できる。次に、第2発明の第3の実施形態を説明する。

【0075】図13は第2の発明の第3の実施形態の半導体集積回路を示す機能ブロック図である。なお、第1発明の各種実施形態又は第2発明の第1若しくは第2の実施形態において既に記述したものと同一の部分については、同一符号を付し、重複した説明は省略する。

【0076】本実施形態の発振器203は、複数のゲート段数切換スイッチ304が設けられたリング発振回路305Aであって、図13に示すように、各ゲート段数切換スイッチ304がON又はOFFを制御することで周波数 M/n [Hz]をリング発振回路(305A)を用いて得るように接続されている。

【0077】図13において、例えば、周波数が M [Hz]の発振出力信号203aをリング発振回路305Aを用いて生成する場合には、セレクトS1、S2、S

3、S4を全てOFF(則ち、論理値L)とする。セレクト n ($n=1, 2, 3$)は端子 S_n が論理値HのときにD1のパスを選択し、論理値LのときにD2のパスを選択するように動作する。このときリング発振回路305Aの段数が最小段数である3段となり、それに応じて周波数が M [Hz]の発振出力信号203aが発振器203(則ち、リング発振回路305A)から出力される。周波数が $M/2$ [Hz]の発振出力信号203aをリング発振回路305Aを用いて生成する場合には、セレクトS1、S2をON(論理値H)とし、セレクトS3をOFF(論理値L)とする。このときリング発振回路305Aの段数が6段となり、それに応じて周波数が $M/2$ [Hz]の発振出力信号203aが発振器203(リング発振回路305A)から出力される。周波数が $M/3$ [Hz]の発振出力信号203aをリング発振回路305Aを用いて生成する場合には、セレクトS1をOFF(論理値L)、セレクトS2、S3をON(論理値H)とする。このときリング発振回路305Aの段数が9段となり、それに応じて周波数が $M/3$ [Hz]の発振出力信号203aが発振器203(リング発振回路305A)から出力される。

【0078】このようなゲート段数切換スイッチ304とリング発振回路305Aとを発振器203に設けることにより、エラーのないリカバリデータを生成することができる半導体集積回路30を実現できる。次に、第2発明の第4の実施形態を説明する。

【0079】図14は第2の発明の第4の実施形態の半導体集積回路を示す機能ブロック図である。図15は図14の半導体集積回路の動作を示すタイミングチャートである。なお、第1発明の各種実施形態又は第2発明の第1乃至第3の実施形態において既に記述したものと同一の部分については、同一符号を付し、重複した説明は省略する。

【0080】本実施形態の半導体集積回路30は、図14に示すように、分周器204とクロックリカバリ回路30Aとを有する。各単位回路20、…、20に設けられ、前記発信出力信号203aを分周して入力信号と位相比較される信号を生成する分周器204は発振出力信号203aの周波数 f_0 [Hz]を $1/n$ ($n=1, 2, 3, \dots$)に分周した分周信号204aを生成するように接続されている。

【0081】クロックリカバリ回路30Aは、パルス生成手段306と遅延手段307とリタイミング手段308とを有する。パルス生成手段306は、入力データ11のデータの変化を検出して検出パルス306aを生成するように接続されている。

【0082】遅延手段307は、入力データ11のデータの変化を検出して発振出力信号203aの立ち上がりエッジ又は立ち下がりエッジが検出パルス306aのパルス幅の中間付近に安定に位置させる際に、検出パルス

製造ばらつき等に影響されることがなく、エラーのないリカバリデータを生成することができる半導体集積回路30を実現できる。

【0092】以上説明したように第2発明の各実施形態によれば、周囲環境温度、動作電源の変動、製造ばらつき等に影響されることがなく、エラーのないリカバリデータを生成することができる半導体集積回路30することができる。

【0093】

【発明の効果】請求項1乃至3の発明によれば、通信量が大きい場合であっても周波数の安定した発振出力信号を生成することができる半導体集積回路を実現できる。請求項4乃至6の発明によれば、単位回路間の電磁気的な干渉を低減することができ、その結果、周波数の安定した発振出力信号を生成することができる半導体集積回路を実現できる。

【0094】請求項7の発明によれば、単位回路間の電磁気的な干渉を低減することができ、また各单位回路間の信号レベルの不具合（ミスマッチ）を防ぐことができ、その結果、周波数の安定した発振出力信号203aを生成することができる半導体集積回路を実現できる。

【0095】請求項8乃至12の発明によれば、エラーのないリカバリデータを生成することができる半導体集積回路を実現できる。請求項13又は14の発明によれば、周囲環境温度、動作電源の変動、製造ばらつき等に影響されることがなく、エラーのないリカバリデータを生成することができる半導体集積回路を実現できる。

【図面の簡単な説明】

【図1】第1の発明の第1の実施形態の半導体集積回路を示す機能ブロック図である。

【図2】図1の半導体集積回路における発振周波数制御信号の制御量と発振出力信号の変動量変動量との関係を示すグラフである。

【図3】図3(a)は図1の半導体集積回路におけるアイソレーション手段を示す断面図であり、図3(b)はその平面図である。

【図4】図4(a)は図3において更に発振器をアイソレーション分離した単位回路を示す断面図であり、図4(b)はその平面図である。

【図5】図1の単位回路毎に別個に設けられた電源及び接地を示すブロック図である。

【図6】第1の発明の第2の実施形態の半導体集積回路を示す正面図である。

【図7】図6の半導体集積回路における差動出力部回路を示す回路図である。

【図8】図6の半導体集積回路における差動受信部回路を示す回路図である。

【図9】第1の発明の第3の実施形態の半導体集積回路を示す機能ブロック図である。

【図10】第2の発明の第1の実施形態の半導体集積回

路を示す機能ブロック図である。

【図11】図10の半導体集積回路に設けられた発振器のを示す回路図である。

【図12】第2の発明の第2の実施形態の半導体集積回路に用いられる発振器を示す回路図である。

【図13】第2の発明の第3の実施形態の半導体集積回路を示す機能ブロック図である。

【図14】第2の発明の第4の実施形態の半導体集積回路を示す機能ブロック図である。

【図15】図14の半導体集積回路の動作を示すタイミングチャートである。

【図16】第2の発明の第5の実施形態の半導体集積回路を示す機能ブロック図である。

【図17】図17(a)は第2の発明の第6の実施形態の半導体集積回路を示す機能ブロック図であり、図17(b)はリング発振回路を示す回路図である。

【図18】従来の半導体集積回路を示す機能ブロック図である。

【図19】従来の半導体集積回路を示す機能ブロック図である。

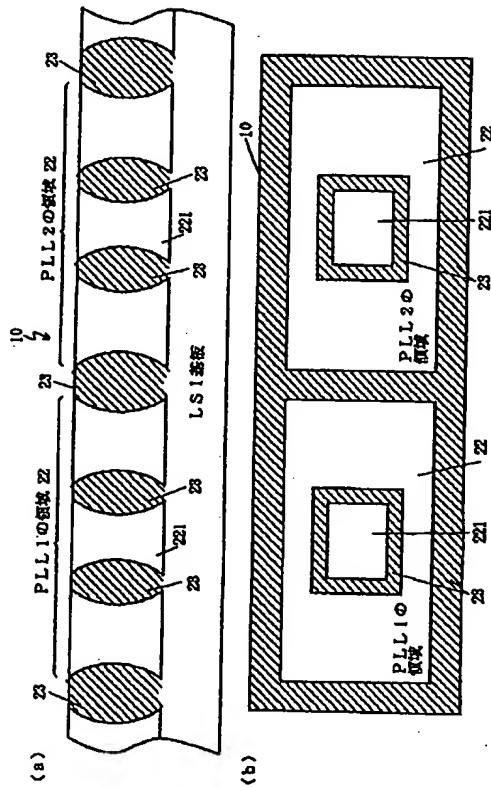
【図20】図19の半導体集積回路の動作を示すタイミングチャートである。

【符号の説明】

- 10 半導体集積回路
- 11 入力データ
- 20 単位回路
- 20A 前段の単位回路
- 20B 後段の単位回路
- 201 位相比較器
- 201a 位相比較信号
- 202 ループフィルタ
- 202a 発振周波数制御信号
- 203 発振器
- 203a 発振出力信号
- 204 分周器
- 204a 分周信号
- 205 差動出力部回路
- 205a 差動発振出力信号
- 206 差動受信部回路
- 221 発振器の領域
- 23 アイソレーション手段
- 23A, 23B 電源
- 24A, 24B 接地
- 30 半導体集積回路
- 30A クロックリカバリ回路
- 301, ..., 301 電流スイッチ
- 302 マルチバイブレータ
- 303 制御電圧
- 304 ゲート段数切換スイッチ
- 305A, 305B リング発振回路

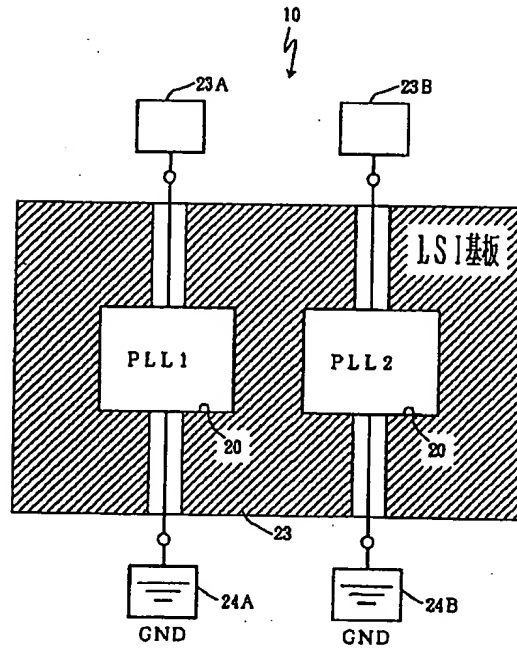
【図4】

(a)は図3において更に発振器をアイソレーション分離したPLL回路を示す断面図、(b)はその平面図



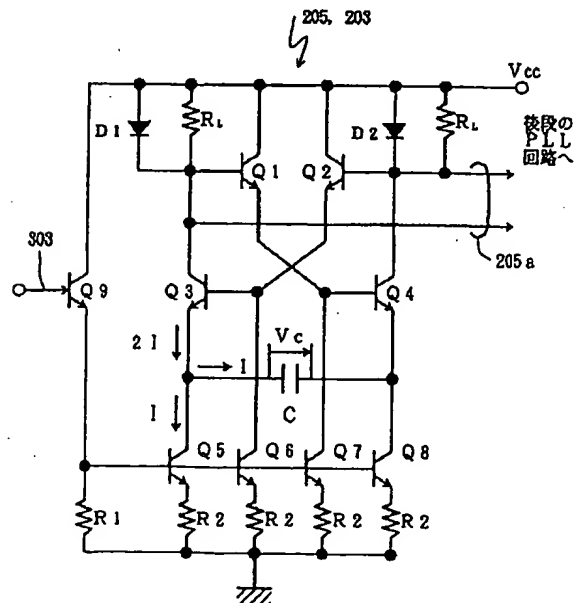
【図5】

図1のPLL回路毎に別個に設けられた電源及び接地を示すブロック図



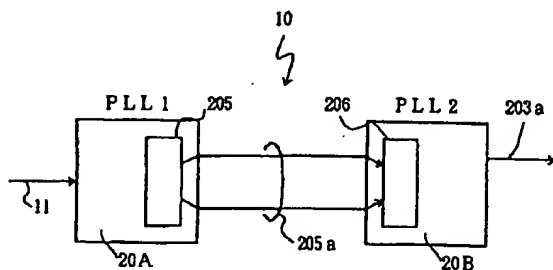
【図7】

図6のPLL装置における差動出力部回路を示す回路図



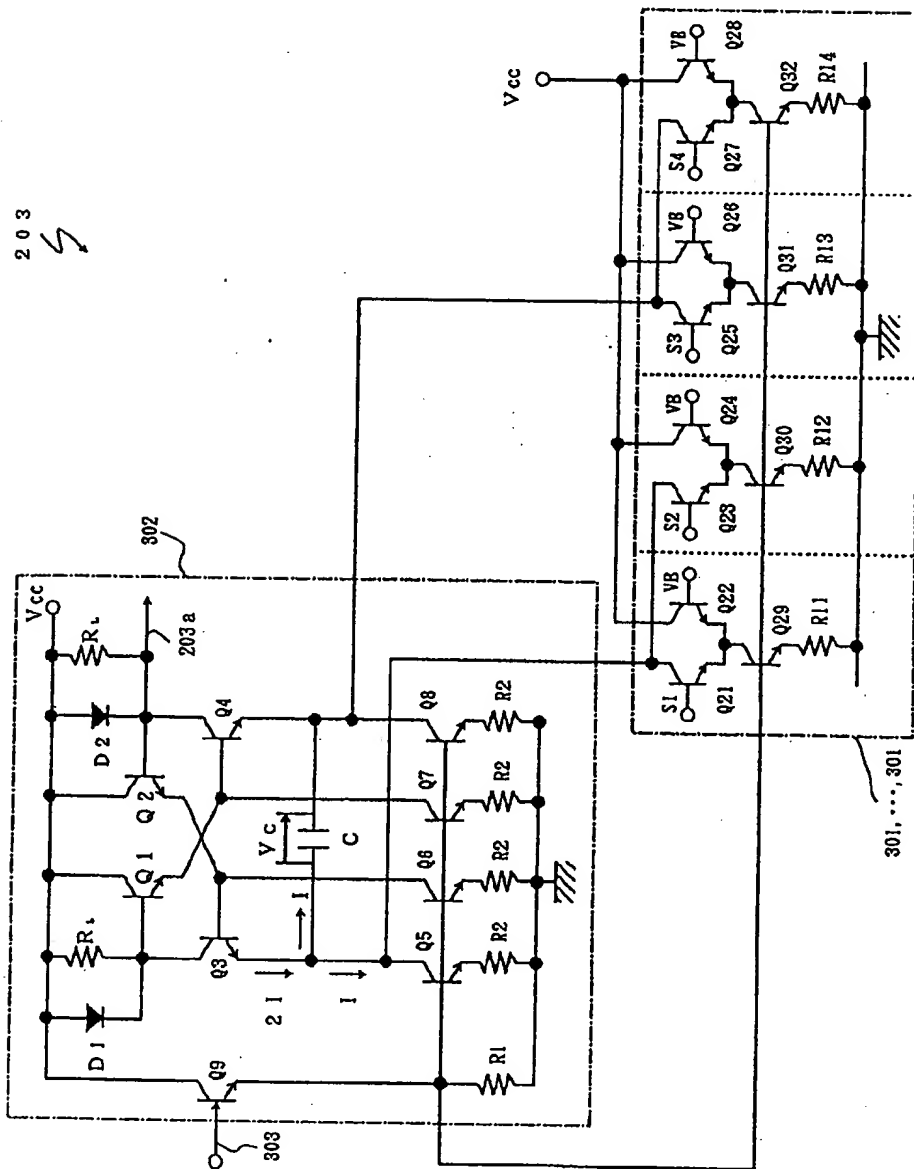
【図6】

第1の発明の第2の実施形態のPLL装置を示す正面図



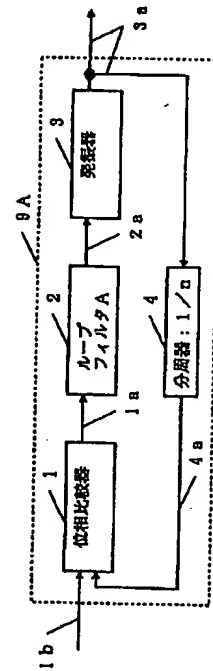
【図11】

図10のPLL装置に設けられた発振器を示す回路図



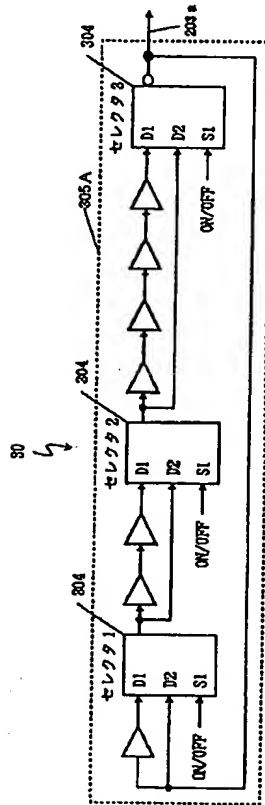
【図18】

従来のPLL装置を示す機能ブロック図



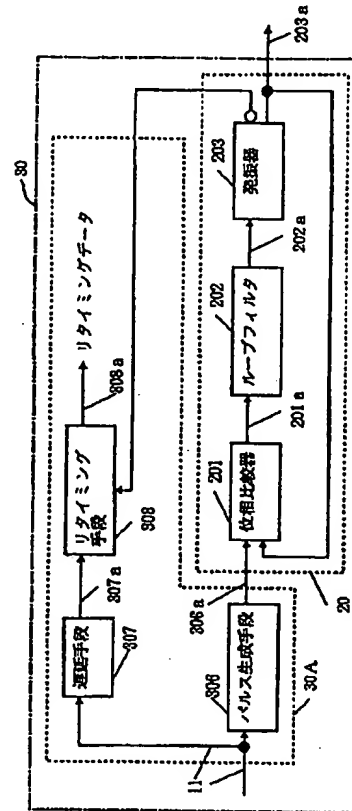
【図13】

第2の発明の第3の実施形態のPLL装置を示す機能ブロック図



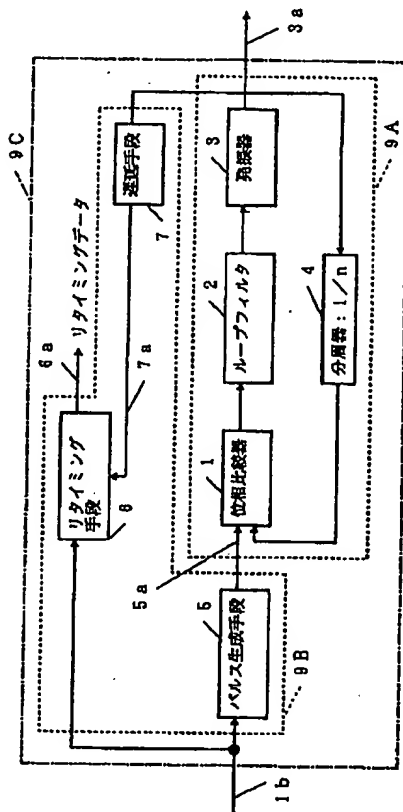
【図14】

第2の発明の第4の実施形態のPLL装置を示す機能ブロック図



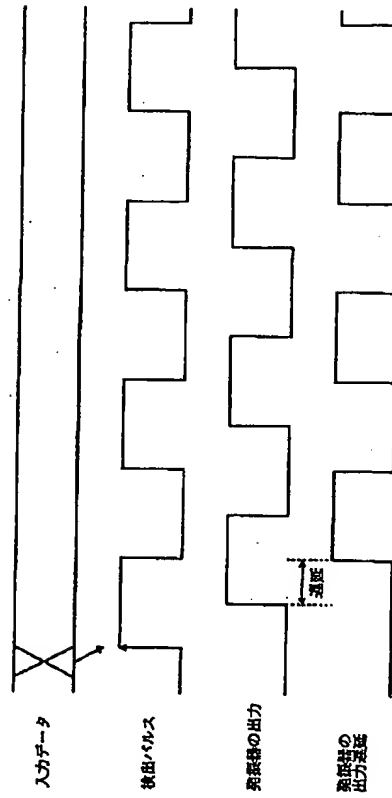
【図19】

従来のクロックリカバリー型のPLL装置を示す機能ブロック図



【図20】

図19のクロックリカバリー型のPLL装置の動作を示すタイミングチャート



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-298461

(43)Date of publication of application : 18.11.1997

(51)Int.Cl.

H03L 7/08
H03K 3/03
H03K 3/282

(21)Application number : 08-113986

(71)Applicant : FUJITSU LTD

(22)Date of filing : 08.05.1996

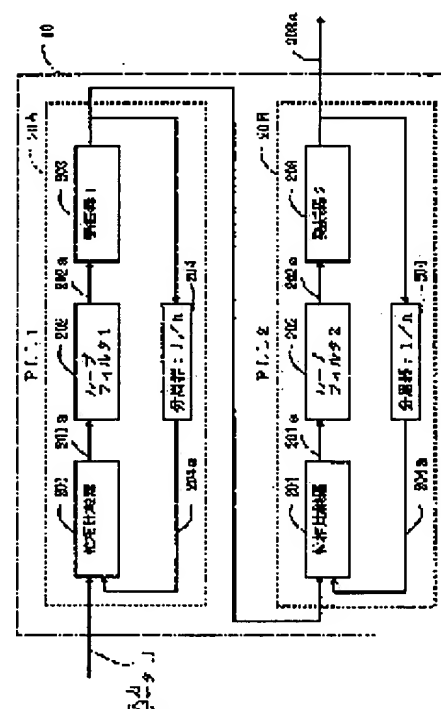
(72)Inventor : TAMAMURA MASAYA
OISHI SHOJI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a circuit by which recovery data without error are generated even when a multiplied amount is higher by connecting a plurality of stages of circuits in series each consisting of an oscillator, a frequency divider and a phase comparator and selecting a specific frequency of each post-stage to be higher than each pre-stage.

SOLUTION: The semiconductor integrated circuit 10 is a circuit consisting of series connection of a plurality of stages of unit circuits, and an oscillated output signal 203a of a post-stage unit circuit 20B is selected higher than an oscillated output signal frequency of a pre-stage unit circuit 20A. The semiconductor integrated circuit 10 is configured by connecting a plurality of stages of unit circuits in series, then multiplication processing for plural number of times is conducted instead of high multiplication processing at once. Each unit circuit is made up of an oscillator 203, a frequency divider 204, a phase comparator 201, a loop filter 202 and a feedback loop. The oscillator 203 generates the oscillating output signal 203a whose frequency is a multiple of (n) of a frequency of input data 11 based on an oscillated frequency control signal 202a.



LEGAL STATUS

[Date of request for examination]	04.06.1999
[Date of sending the examiner's decision of rejection]	23.10.2001
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	3291198
[Date of registration]	22.03.2002
[Number of appeal against examiner's decision of rejection]	2001-20862
[Date of requesting appeal against examiner's decision of rejection]	22.11.2001
[Date of extinction of right]	